

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): SAHARA, et al.
Serial No.: Not yet assigned
Filed: December 17, 2003
Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 17, 2003

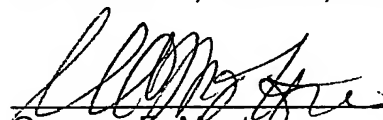
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-367462, filed December 19, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/alb
Attachment
(703) 312-6600

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月19日
Date of Application:

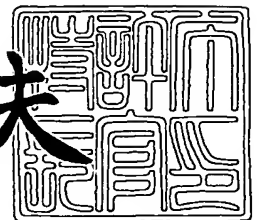
出願番号 特願2002-367462
Application Number:
[ST. 10/C]: [JP 2002-367462]

出願人 株式会社日立製作所
Applicant(s):

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3090035

【書類名】 特許願

【整理番号】 H02013101

【提出日】 平成14年12月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 佐原 隆介

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 栗田 公三郎

【発明者】

【住所又は居所】 神奈川県秦野市堀山下 1 番地 株式会社日立製作所 エンタープライズサーバ事業部内

【氏名】 鈴木 裕司

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 楠 貢

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 榊原 秀樹

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】**【識別番号】** 100081938**【弁理士】****【氏名又は名称】** 徳若 光政**【電話番号】** 0422-46-5761**【手数料の表示】****【予納台帳番号】** 000376**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 外部から供給される第 1 信号を伝える第 1 信号経路と、
外部から供給される第 2 信号を伝える第 2 信号経路と、
上記第 1 信号と第 2 信号を受け第 1 信号と第 2 信号との位相差に対応した第 1
パルスを形成するパルス発生回路とを備え、

上記第 1 信号経路及び第 2 信号経路に設けられる増幅段の段数は、上記パルス
発生回路に設けられる論理段の段数よりも多い関係とすることを特徴とする半導
体集積回路装置。

【請求項 2】 外部から供給される第 1 信号を伝える第 1 信号経路と、
外部から供給される第 2 信号を伝える第 2 信号経路と、
上記第 1 信号と第 2 信号を受け第 1 信号と第 2 信号との位相差に対応した第 1
パルスを形成するパルス発生回路とを備え、

上記第 1 信号経路及び第 2 信号経路の全体の配線長さは、上記パルス発生回路
及び上記パルスが伝えられる回路までの配線長さより長い関係とすることを特徴
とする半導体集積回路装置。

【請求項 3】 外部から供給される第 1 信号を伝える第 1 信号経路と、
外部から供給される第 2 信号を伝える第 2 信号経路と、
上記第 1 信号と第 2 信号を受け第 1 信号と第 2 信号との位相差に対応した第 1
パルスを形成するパルス発生回路とを備え、

上記第 1 信号経路及び第 2 信号経路でのいずれか 1 つの増幅段でのフル振幅ま
での立ち上がり時間が上記第 1 パルスのパルス幅よりも長い関係とすることを特
徴とする半導体集積回路装置。

【請求項 4】 請求項 3 において、
外部端子から供給される第 3 信号経路を更に備え、
上記パルス発生回路は、上記第 2 信号と第 3 信号との位相差に対応した第 2 パ
ルスを形成することを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 において、

論理段と、かかる論理段の入力側と出力側にそれぞれ設けられた L S S D 型フリップフロップ回路とを更に備え、

上記第 1 パルスと第 2 パルスは、上記論理段の A C 試験動作に用いられることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 において、

上記第 1 信号経路と第 2 信号経路及び第 3 信号経路は、互いに隣接して並行に延長され、互いに同じ段数からなる増幅段を備え、

上記パルス発生回路は、

テストモードのときには論理段の A C 試験のための上記第 1 パルス及び第 2 パルス及び L S S D 型フリップフロップ回路にテスト入力信号とテスト出力信号をシリアルに伝えるクロックパルスを出力し、

通常動作のときには第 1 ないし第 3 信号のうちいずれか 1 つをクロックパルスとして出力することを特徴とする半導体集積回路装置。

【請求項 7】 請求項 6 において、

上記互いに隣接して並行に延長される第 1 信号経路ないし第 3 信号経路のうち 2 つに挟まれた信号経路を通して通常動作時のクロックパルスが伝えられ、両側に配置される信号経路は固定電位に設定されることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 3 において、

上記第 1 と第 2 信号経路に設けられた増幅段及びパルス発生回路を構成する素子は、メタルゲート構造の M O S F E T からなることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体集積回路装置に関し、例えば等長クロック分配経路を持つ論理回路を備えた半導体集積回路装置の A C テスト技術に利用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】

内部論理回路のスキャンテストを短時間で行うために、連続したクロックを分周して形成された信号 A, B, C を組み合わせ、フリップフロップ回路を直列に接続したラッチ回路により構成されるスキャンテスト回路のスレーブ側ラッチに入力される第 1 スキャンテスト用クロックと、スキャンテスト回路のマスター側ラッチに入力される第 2 スキャンテスト用クロックとを生成するスキャンテスト用クロック発生回路が特開平 0 7 - 0 8 4 0 1 1 号公報により開示されている。また、PLL 回路を用いて内部クロックを形成しておいて、テストモードにより組み合わせ回路により上記内部クロックに対応した第 1 クロックパルスを出力させて論理段に入力信号を伝え、上記内部クロックに対応した第 2 クロックパルスを発生させて、上記論理段の出力信号をフリップフロップ FF に取り込んで、スキャン回路を用いてテスト結果を回収する技術が特開平 2 0 0 1 - 0 9 1 5 9 0 公報がある。

【0 0 0 3】**【特許文献 1】**

特開平 0 7 - 0 8 4 0 1 1 0 公報

【特許文献 1】

特開平 2 0 0 1 - 0 9 1 5 9 0 公報

【0 0 0 4】**【発明が解決しようとする課題】**

上記のいずれの従来技術においても、予め決められたクロックの周波数でしかテストができない。また、論理回路や動作周波数及び使用するクロックに対応して逐一上記組み合わせ回路の設計が必要となり設計工数が増大する。そこで、必要なパルス幅のパルスを外部から供給することが考えられるが、信号経路でのフル振幅までの立ち上がり時間により伝達可能なパルス幅が限られてしまい、必要なパルス幅のパルスを形成することができない。そこで、本願発明者等においては、外部から供給されるタイミングパルスを用いて、高速論理回路のタイミングマージンをも検証できるようなクロック分配回路を開発するに至った。

【0 0 0 5】

この発明の目的は、伝達信号のフル振幅までの立ち上がり時間よりも短いパルス幅のパルスを発生するパルス発生回路を備えた半導体集積回路装置を提供することにある。この発明の他の目的は、高性能のテスト動作を可能にしたテストクロック分配回路を備えた半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。第1信号経路と第2信号経路を通して外部から供給される第1信号と第2信号をそれぞれパルス発生回路に伝え、かかるパルス発生回路で形成すべきパルスのパルス幅に対して上記第1信号経路及び第2信号経路でのいずれか1つの増幅段でのフル振幅までの立ち上がり時間が長い関係のときに第1信号と第2信号との位相差を第1パルスのパルス幅に対応させる。

【0006】

【発明の実施の形態】

図1には、この発明に係る半導体集積回路装置の一実施例の要部ブロック図が示されている。この実施例は、外部から供給されたクロックパルスを用いて論理回路（ユーザ論理）のAC試験を行うようにされる。論理回路の高速動作のためにクロックツリーが設けられる。このクロックツリーは、外部端子からの信号印加又はクロック生成回路で形成されたクロックパルスが、論理段の各フリップフロップFFに相互に等しい遅延時間を持って供給されるような信号伝達系からなり、例えば等長のクロック配線、及び同じ段数にされたクロックバッファ（増幅段）から構成される。これにより、各相のクロックパルスを受ける論理回路を構成するフリップフロップFFにおいては、相互に同じ伝搬遅延時間差によるクロックパルスが供給されて、クロックパルススキューが低減されて、論理回路を高い周波数のクロックパルスで動作させることができる。

【0007】

上記論理回路の基本構成は、フリップフロップFFー論理段（テストパス）ーフリップフロップFFを単位とする組み合わせで構成される。通常動作では、論

理段の入力側に設けられたフリップフロップFFに保持された信号は、クロックパルスに同期してかかる論理段に入力される。論理段では、入力信号に対応して論理処理を行ない、出力側に設けられたフリップフロップFFの入力端子に伝える。出力側のフリップフロップFFは、次のクロックパルスに同期して上記論理段での出力信号を取り込み保持する。このようにして、クロックパルスに同期した論理シーケンスが実行される。

【0008】

上記フリップフロップ回路FFは、LSSD型フリップフロップ回路から構成され、入力信号Dの他にスキャン用入力端子/Siを備え、3つのクロック入力端子LSSD-A、LSSD-B及びLSSD-Cを備える。通常動作のときには、クロック端子LSSD-Bから供給される1相のクロックパルスにより信号の取り込みと保持を行う。このとき、クロック端子LSSD-AとLSSD-Cはロウレベルに固定される。AC試験のためのテストパターンを入力するスキャンインあるいはテスト結果を出力するスキャンアウト動作時には、クロック端子LSSD-BとLSSD-Aとの2相のクロックパルスに同期して、上記スキャン用入力端子/Siを介して直列形態にされたフリップフロップ回路FFでのシフト動作が行われる。

【0009】

AC試験動作においては、クロック端子LSSD-Bの立ち上がりエッジに同期して、各フリップフロップ回路FFに保持されたテスト信号を論理段に出力し、クロック端子LSSD-Cの立ち上がりエッジにより入力端子Dに供給された論理段からの出力信号を取り込む。このとき、クロック端子LSSD-Bには、正のパルスが供給され、クロック端子LSSD-Cには、負のパルスが供給され、上記正のパルスと負のパルスとはアクティブレベルがノンオーバーラップとすることが必要である。

【0010】

このようなLSSD型フリップフロップ回路FFを用いて上記のような論理回路のACテストを行うようにするためには、論理段の入力側に設けられたフリップフロップFFに対してスキャンイン動作によってテスト入力信号の供給を行な

って上記テスト入力信号の設定が終了した後に、第1クロックパルス（LSSD-B）を供給してフリップフロップFFに取り込んだテスト入力信号を論理段へ供給し、それに対応する出力信号をフリップフロップFFに取り込むための第2クロックパルス（LSSD-C）を供給する。しかしながら、上記のようにクロックツリーを経由してフル振幅までの立ち上がり時間よりも短いパルス幅のパルスを伝えようとする、後述するようにパルスが消滅してしまい、高速論理回路でのAC試験ができないという問題が生じる。

【0011】

この実施例では、クロックツリーの最終段ドライバにパルス生成回路を設けて、上記のようにクロックツリーを経由してフル振幅までの立ち上がり時間よりも短いパルスを生成する。つまり、最終段ドライバは、クロックバッファの機能の他にパルス発生回路を兼ねている。最終段ドライバは、モード切替信号によって前記のようなクロックツリーを通した供給された連続パルスをスルーする動作と、1ショットパルスを生成するパルス発生回路としての動作とを行う。

【0012】

この実施例の半導体集積回路装置LSIは、上記のようなフリップフロップ回路FFと論理段（テストパス）からなる論理回路と、それにクロックパルスを供給するクロックツリー及び前記最終段ドライバの他に、PLL回路及びクロック生成回路とを備える。これにより、上記クロックツリーには、外部端子から供給されるクロックパルス又は上記内蔵のクロック生成回路でのクロックパルスが選択的に用いられるようにされる。例えば、テスト動作のときには、上記外部端子からテスト用のクロックパルスが供給され、通常動作のときにはクロック生成回路で形成されたクロックパルスにより動作させられる。必要なら通常動作ときにも、外部端子からのクロックパルスで動作させるようにすることもできる。

【0013】

テストは、パターンジェネレータと判定回路を備えている。パターンジェネレータで生成されたテストパターンは、上記フリップフロップ回路FFにシリアルに入力された後に前記のようなAC試験が実施され、この試験結果は判定回路に回収されて上記テストパターンに対応した期待値と比較されて良否が判定される。

。RAGRは、テストパターン生成回路であり、ランダムパターン発生回路を備えておりテストパターンを生成する。このような内部でテストパターンに対応した試験結果は、符号圧縮器MISRで圧縮され判定結果がテストに伝えられる。このようなテスト回路を半導体集積回路装置に内蔵した場合には、テストの負担が軽くなり、多数の半導体集積回路装置の同時試験が可能になる。このようなテスト動作のために、クロックツリーの入力部及び直列接続されるフリップフロップ回路列の初段のシリアル入力部にはセクタSELが設けられる。

【0014】

図2には、この発明に係る半導体集積回路装置のクロック供給系回路の一実施例のブロック図が示されている。クロック供給系回路は、X、Y及びZからなる3系統のクロック供給系からなる。同図には、最終段CK7に至るまでは1つ（X系）が代表として例示的に示されている。最終段CK7は、前記のようなクロックバッファ（増幅）としての動作の他に、パルス生成機能を備えている。それ故、最終段CK7は、入力されたクロックパルスを増幅して伝達させる動作と、入力されたパルスを加工して、それとは別のパルスを形成して出力する動作とを行う。

【0015】

外部端子から供給されるクロックは、クロックバッファCKA、CKBを通して入力され、CK1～CK6の各増幅段を通して最終段ドライバCK7に伝えられる。後述するように最終段CK7までの距離が等長で、同じ段数となるように各段でのバッファで分岐してクロックパルスが伝播される。最終段ドライバCK7は、上記3つの入力信号X、Y、Zの他に前記モード切替信号に対応した入力信号Vを備える。この信号Vは、切替信号であるので前記のようなクロックツリーを経由することなく、全ての最終段に対して適宜に必要なに応じて増幅段を経由してモード切替信号が伝達される。

【0016】

最終段ドライバCK7は、基本的にはゲート回路G2、インバータ回路N3、N4、N5の4段の論理段から構成される。これらの論理段では、その配線長が短いこと、あるいは駆動する負荷容量が前記クロックバッファCK1～CK6に

比べて軽いために出力信号の立ち上がりは急峻にすることができる。また、クロックツリーの段数は、上記入力バッファを含めて8段であるのに対して、最終段ドライバCK7での最大論理段は、Y-B系、Y-C系が5段とされ、Z-C系で6段と少なくされている。

【0017】

この最終段ドライバCK7は、モード切替信号Vのハイレベルにより入力信号X、Y及びZをそのまま出力するというスルーモードと、モード切替信号Vのロウレベルにより入力信号X、Y及びZの立ち上がりエッジの位相差に対応したパルスを形成するというクロックアドバンスモードとを備える。上記スルーモードは、通常動作とテスト動作時のスキャンインとスキャンアウト動作に用いられ、上記クロックアドバンスモードは、テスト動作時のAC試験に用いられる。最終段ドライバCK7の出力Bは前記LSSD型フリップフロップ回路FFのクロック端子LSSD-Bに対応し、最終段ドライバCK7の出力Cは前記LSSD型フリップフロップ回路FFのクロック端子LSSD-Cに対応し、最終段ドライバCK7の出力Aは前記LSSD型フリップフロップ回路FFのクロック端子LSSD-Aに対応している。

【0018】

図3には、この発明に係る半導体集積回路装置のクロック供給系回路の一実施例のブロック図が示されている。この実施例では、クロック供給系回路と、それによりクロックが供給されるフリップフロップ回路FFまでの関係が示されている。つまり、フリップフロップ回路に対して前記クロック端子LSSD-B、C、Aに対応した3つのクロックパルスが伝えられる。最終段ドライバにおいて、回路Aは、前記図2に示した論理ゲート回路G2、G3、G5等を簡略化した回路を示し、回路Oはゲート回路G1+N1、G4+N2等を簡略化した回路を示している。

【0019】

前記入力バッファCKA、CKBから前記最終段ドライバCK7までのクロック系は、X、Y及びZの3系統のクロック供給系が設けられる。これらの3系統のクロック供給系は、互いに等長とするために配線長が等しくかつ隣接して配置

され、クロックドライバも互いに隣接して設けられる。特に制限されないが、通常動作のときに使用されるクロックは、L S S D - B に対応したクロックパルス X であるので、この X を伝達する信号配線及びクロックバッファを挟むように Y 及び Z に対応した信号配線及びクロックバッファが隣接して設けられ、上記通常動作のときには上記 Y 及び Z の信号配線に上記信号 X に対する他の信号線との容量結合を排除するためのシールド効果を持たせるように利用する。

【 0 0 2 0 】

第 4 図には、この発明に係る最終段ドライバの動作を説明するための波形図が示されている。クロックアドバンスモードのときには、切替信号 V がロウレベル (L) にされる。このときには、信号 X, Y, Z の順にロウレベルからハイレベルに変化するステップ信号が入力される。これにより、最終段ドライバでは、信号 X の立ち上がりと信号 Y の立ち上がりの位相差に対応したパルス B が形成される。そして、信号 Y の立ち上がりと信号 Z の立ち上がりとの位相差に対応したパルス C が形成される。上記パルス B は正のパルスとされ、上記パルス C は負のパルスとされる。

【 0 0 2 1 】

この実施例では、上記最終段ドライバまでのクロックツリーにおいて、上記パルス B 及び C のパルス幅よりもフル振幅の立ち上がりが遅くても上記ステップ信号 X, Y 及び Z に対応した 1 サイクル (c y c) のパルスを形成することができる。例えば、細線で示したように最終段ドライバに伝えられたステップ信号の立ち上がり時間が、上記パルス信号 B 又は C のパルス幅よりも長くなっても、それを受ける論理回路でのロジックスレッシュOLD 電圧に到達する信号の位相差は影響を受けないので、上記ロジックスレッシュOLD 電圧に到達するに要する時間だけ遅延させられるが、A C 試験に必要な 1 サイクル (c y c) のパルス B と C を生成することができる。

【 0 0 2 2 】

スルーモードのときには、切替信号 V がロウレベル (H) にされる。スルーモードのときには、入力信号 X, Y 及び Z に対応した連続パルスが出力される。ただし、信号 Y に対応した出力信号 C は、位相が反転させられたパルスとされる。

スルーモードでは、同図のように3つのパルスが入力されるのではなく、後述するように上記フリップフロップ回路FFでのシリアルスキャン動作に対応した2相のクロックまたは通常動作における1相のクロックが外部端子から入力される。

【0 0 2 3】

図5には、この発明に係る半導体集積回路装置に用いられるLSSD型フリップフロップ回路の一実施例の回路図が示されている。この実施例のフリップフロップ回路は、入力端子Dと出力Q（／Q）との間に2つのスルーラッチを設けて、これらの2つのスルーラッチをクロック端子LSSD-Bからの1相のクロックにより相補的にデータ入力と保持を行うようにした通常動作部と、スキャン入力端子／Siと出力Q（／Q）との間に2つのスルーラッチを設け、前段のスルーラッチをクロック端子LSSD-Aからのクロックで動作させ、後段のラッチをクロック端子LSSD-Bからのクロックで動作させるスキャン動作部とから構成される。

【0 0 2 4】

図6には、上記図5のLSSD型フリップフロップ回路の動作を説明するための真理値図が示されている。同図のクロックCKは、上記クロック端子LSSD-Bに対応している。このフリップフロップ回路は、最終段ドライバでのスルーモード、クロックアドバンスモードのそれぞれにより供給される3つのクロック端子LSSD-B、LSSD-A、Cに対応して、1相クロック、2相クロック動作及びステップ信号に対応した3通りの動作を行うようにされる。

【0 0 2 5】

図7には、この発明に係る半導体集積回路装置における論理段でのAC試験動作を説明するためのブロック図が示されている。フリップフロップ回路の出力と入力との間にテストパス（論理段）が配置される。論理段の入力信号を形成する複数のフリップフロップ回路は、シリアル入力端子／Siを用いてシリアルに接続され、スキャンイン端子（SCAN IN）からのテストパターンがシリアルに入力される。上記論理段の出力信号は、複数のフリップフロップ回路の入力端子Dに伝えられる。これらの出力信号に対応したフリップフロップ回路は、シリ

アル入力端子／S_iを用いてシリアルに接続されてスキャンアウト端子（SCANOUT）に出力信号をシリアルに伝える。

【0026】

実際の論理回路は、複数段のフリップフロップ回路に論理段が設けられるので上記入力側とされたフリップフロップ回路は、その入力部に設けられた論理段からみると、上記出力側と見做される。それ故、上記スキャンアウト動作のときには、上記前段の論理段の出力信号をスキャンアウトさせる。逆に、上記出力側とされたフリップフロップ回路は、その後段に設けられた論理段からみると、上記テストパターンを入力するフリップフロップ回路と見做される。したがって、図示した2列のフリップフロップ回路を1列のスキャン回路を構成するように接続して、上記テストパターンの取り込みと出力信号をスキャンアウト動作を行うようにすることもできる。このようにスキャン回路は、論理回路全体をフリップフロップ回路を1つのスキャン回路となるように接続することもできる。

【0027】

図8には、この発明に係る最終段ドライバとLSSD型フリップフロップ回路の動作を説明するための波形図が示されている。(A)と(B)は、最終段ドライバがスルーモードにされたときの波形図が示されている。それ故、切替信号Vは、ともにハイレベル(H)にされている。(C)と(D)は、最終段ドライバがクロックアドバンスモードにされたときの波形図が示されている。それ故、切替信号Vは、ロウレベル(L)にされている。

【0028】

(A)は、通常動作のときの波形図が示されている。クロックツリーからの入力信号は、信号線Xに連続したクロックパルスが供給され、信号線Yはハイレベル(H)に固定され、信号線Zはロウレベル(L)に固定される。信号線Xは、信号線YとZに挟まれて形成されるので、クロック配線と並行に走る他の信号線からのカップリングがなく、クロックの位相ずれを最小に設定することができる。このとき、フリップフロップ回路FFは、信号線Xから伝えられるクロックパルスがスルーしてクロック端子CK(LSSD-B)に伝えられて、かかるクロックCKに同期して入力信号Dに対応した出力信号Q(／Q)を形成する。

【0029】

(B) は、スキャンイン／スキャンアウト動作のときの波形図が示されている。クロックツリーからの入力信号は、信号線 X と Z に 2 相の連続したクロックパルスが供給され、信号線 Y はロウレベル (L) に固定され。信号線 Z は、信号線 X からの 2 相のクロックパルスがクロック端子 LSSD-B と A に伝えられて、かかる 2 相のクロックに同期してスキャン端子 / Si からの入力信号が、半ビットずつ順次シフトされる。

【0030】

(C) と (D) は、AC 試験動作の波形図が示されている。信号線 X、Y 及び Z から供給されるステップ波形の立ち上がり位相差に対応してパルス B (LSSD-B) とパルス C (LSSD-C) が形成される。パルス B の立ち上がりにより、フリップフロップ回路 FF が出力信号を送出し、パルス C の立ち上がりで入力信号を取り込む。この時間差が AC テスト時間とされる。(C) は、論理段のパスディレイが上記 AC テスト時間よりも長いときであり、(D) は、論理段のパスディレイが上記 AC テスト時間よりも短いときである。(C) のようにパスディレイが AC テスト時間よりも長いと、論理段での形成された論理出力がフリップフロップ回路に伝わらないのでパスディレイ不良の状態である。

【0031】

この実施例では、(C) のようにパスディレイ不良が発生した場合には、入力信号 X と Y 及び Z の位相差 (D) のように調整することにより、論理段でのパスディレイを検証することができる。正規のパスディレイよりも上記 X と Y 及び Z を短く設定して試験してタイミングマージンを保証したり、あるいは、パスディレイの最大値を求めて、その半導体集積回路装置が動作する最高周波数を保証することも可能である。

【0032】

この実施例では、外部端子からのステップ信号の位相差により、信号経路での波形のフル振幅までの立ち上がり時間よりも短いパルス幅の任意のパルスを形成することができ、高速動作の論理回路の AC 試験を簡単に行うようにすることができる。

【0033】

図9には、この発明を説明するためのクロック信号経路での波形図が示されている。ドライバの出力インピーダンス及び配線経路での分布抵抗や分布容量及び負荷回路の入力容量等により伝達される実際の波形は、理想波形に対して t_{rf} だけフル振幅までの立ち上がり時間が遅くなる。しかし、フル振幅までレベルが立ち上がった後に立ち下がるような比較的広いパルス幅を伝達するときには、それぞれのフル振幅レベルを基準にした波形伝播時間のばらつきに対応してディレイのばらつきが生じるので比較的小さな範囲におさまる。したがって、最終段ドライバで波形整形を行えば、理想波形に近いパルスを形成することができる。

【0034】

しかしながら、理想波形のパルス幅が上記フル振幅までの立ち上がり時間よりも短いときには、言い換えるならば、伝達するパルス幅が上記立ち上がり時間よりも短いときには、立ち上がりの途中でパルスが立ち下りに変化することとなり、そこでのディレイばらつきは、立ちあがりでのディレイばらつき成分が含まれてしまう。したがって、それを受ける増幅段においてパルス幅が狭くなってしまい、それが同様に次段増幅段に伝えられるまで同様に立ち上がりの途中でパルスが立ち下ることとなり更にパルス幅を小さくしてしまう。このようにして、多段のクロックツリーを経由する間にパルスが消滅してしまう。あるいは、パルスそのものが消滅しなくとも、上記ディレイばらつきの影響が大きく、精度の高いAC試験を実施することができない。

【0035】

これに対して、同じ信号経路でも連続パルスを伝えるときには、増幅段のロジックスレッシュホールド電圧を中心にして小振幅の三角波状の信号が順次に伝えられる。この三角波状の信号は、上記ロジックスレッシュホールド電圧に対してほぼ対称的に形成されるので、最終段において上記ロジックスレッシュホールド電圧による波形整形を行うことにより、同図に細い線で示したように入力波形と同様なパルス幅のクロックパルスを再生することができる。つまり、連続波形の場合には、信号経路でのフル振幅までの立ちあがり時間 t_{rf} よりも短いパルス幅のパルスをフリップフロップ回路に伝えることができる。このことに着目し、同じ信号経路

に用いつつAC試験時には入力信号をステップ信号とし、その位相差によりパルスを生成することにより、実動作と同じような条件で論理段の試験を行うようにするものである。

【0036】

図10には、この発明に係る論理混載メモリ集積回路（半導体集積回路装置）の一実施例の基板配置図が示されている。この実施例の半導体集積回路装置は、公知の半導体技術により、1個の半導体基板上において形成される。特に制限されないが、この実施例の半導体集積回路装置は、コンピュータシステムの所定のボードに搭載されて例えばそのキャッシュメモリを構成する。

【0037】

図10において、本実施例の論理混載メモリ集積回路は、特に制限されないが、半導体基板CHIPの上辺側に配置される4個の回路ブロックつまりDRAMマクロセルDRAM0～DRAM3と、下辺側に配置される4個の回路ブロックつまりDRAMマクロセルDRAM4～DRAM7からなる合計8個のメモリバンクを備える。メモリバンク（DRAMマクロセル）のそれぞれは、後述するようにそれぞれが独立してメモリアクセスができるようにアドレスバッファ（ラッチ）を備える。

【0038】

論理混載メモリ集積回路は、さらに、各DRAMマクロセルの内側にそれぞれ配置される8個のSRAMマクロセルSRAM0～SRAM7と、半導体基板CHIPの中央部に配置されるもう1個のSRAMマクロセルSRAM8とを備える。SRAMマクロセルSRAM0～SRAM3ならびにSRAM4～SRAM7の内側には、半導体基板CHIPの横の中心線に沿って、多数の入出力セルI/OCが列状に配置され、これらの入出力セルI/OC及びSRAMマクロセルの間には、図示されない多数のゲートアレイとチップ端子に対応するパッドPADとを含む論理部LCが配置される。論理部LCのゲートアレイは、ユーザ仕様に基づいて組み合わせられ、所定の論理回路を構成する。また、パッドPADは、パッケージに形成された配線層を介して対応するバンプに結合される。

【0039】

上記入出力セル I O C を介した上記 D R A M マクロセル D R A M 0 ～ D R A M 7 に対するデータの入出力、つまり上記 D R A M マクロセル D R A M 0 ～ D R A M 7 に対する書き込みと読み出しは、上記 S R A M マクロセルを介して行われる。このような S R A M マクロセルを介在させてバッファとして使用することにより、高速なデータの書き込みと読み出しが可能にされる。データの記憶に D R A M マクロセルを用いることにより、大きな記憶容量を実現することができる。

【0040】

外部からは直接には S R A M 8 に対して行われる。S R A M 8 に対してミスヒットのときには、S R A M 0 ～ 7 のいずれかにアクセスし、更にミスヒットのときには D R A M 0 ～ 7 のいずれかにアクセスする。つまり、S R A M 8 が一次キャッシュとして動作し、S R A M 0 ～ 7 が二次キャッシュとして動作し、D R A M 0 ～ 7 が三次キャッシュとして動作する。これらのヒット／ミスヒットの判定等を行う制御動作は、キャッシュコントロール回路を構成する論理回路 L C により行われる。

【0041】

図 11 には、上記論理混載メモリ集積回路のゲートアレイ部と S R A M 部の一実施例のレイアウト図が示されている。D R A M に挟まれたチップ中央部には、柵目状に示したゲートアレイ部と S R A M が配置される。中央部に示された 2 つの S R A M が前記一次キャッシュとして動作し、二次キャッシュを構成する 8 個の S R A M とそれぞれに対応して三次キャッシュとしての 8 個の D R A M が設けられる。D R A M は、その一部が例示的に示されている。

【0042】

C K G は、前記クロック発生回路であり、その近辺に設けられた外部端子からのクロック (X, Y, Z) は、図示しないセレクト及びクロックバッファ C K A, C K B を介して、上記ゲートアレイ部と S R A M 部からなる半導体エリアの中心部に第 1 段目のクロックバッファが設けられる。丸付き数字は、クロックバッファの段数を表しており、①～⑦が前記図 2 のクロックバッファ C K 1 ～ C K 7 に対応している。

【0043】

末端のフリップフロップ回路FFまでの信号伝達遅延時間が互いに等しくなるようにクロックツリーは等長構成とされる。つまり、上記第1段目のクロックバッファ①からは、上記ゲートアレイの柵目に沿って図11の上半分の中央部と下半分の中央部に②で示した第2段目のクロックバッファが配置される。この第2段目のクロックバッファ②からは、上半分と下半分がそれぞれ更に半分の距離に第3段目のクロックバッファ③が配置される。以下同様にして、④～⑦までのクロックバッファを上記ゲートアレイの柵目に沿って前段の信号配線の半分の距離となる場所に配置する。このようにして、いわゆるHツリー構造のクロックツリーが設けられる。

【0044】

図12には、クロックバッファCK6が受け持つ論理エリアのレイアウト図が示されている。かかるクロックバッファCK6が受け持つ論理エリアは、上下左右に4等分されて、それぞれの中央部に最終段のクロックバッファCK7が設けられる。このクロックバッファCK7を中心したエリア(16YBC×80XBC)が最小論理エリアであり、かかるエリアに設けられたフリップフロップ回路に上記クロックバッファCK7からクロックパルスが供給される。上記最小論理エリアには、斜線を付した部分が電源間容量セルとして用いられ、その他にNチャネルMOSFETとPチャネルMOSFETを形成する複数のエリアが設けられている。

【0045】

クロックバッファCK5は、上記クロックバッファCK6が受け持つ論理エリアを上下及び左右に2個ずつ配置した4倍のエリアの中央に設けられる。なお、図11において、DRAM側に設けられる上記最小エリアが3段あるいは3列のように細長いセル構成であり、中央部においても8段あるいは8列のように細長いセル構成である。したがって、例えば、DRAM側に設けられるクロックバッファCK6は、上記のように4つの中央に設けられるものと、その半分の2個に設けられるものとの2種類からなり、中央部においてもクロックバッファ④は、本来は⑤のクロックバッファが受け持つエリアの4倍のエリアの中央に配置されるべきであるが、前段のクロックバッファ③との位置関係により2つに振り分

けられて⑤のクロックバッファの受け持つエリアの2倍ずつに対応して設けられる。

【0046】

このようなHツリー構造のクロックツリーでは、第1段目のクロックバッファ①から第2段目のクロックバッファ②に至る配線は、同図のようにチップの両側の距離の約 $1/4$ の比較的長い長さにされる。クロックバッファ②からクロックバッファ③に至る配線は、さらにその半分の約 $1/8$ の長さにされる。このように配線長は順次に短くなるようにされる。したがって、クロックバッファ①の駆動能力をいかに大きくしても、配線の分布抵抗及び分布容量によってパルスの立ち上がり時間は長くなってしまう。このため、AC試験のために図9のようにフル振幅しないようなパルス幅の狭いパルスを伝送すると、このように配線長の長い部分でパルスが消滅し、あるいはディレイのばらつきが大きくなってしまう。

【0047】

これに対して、AC試験のときには、前記のようにステップパルスを入力して最終段でその位相差に対応したパルスB及びCを形成することにより、上記信号配線をAC試験のために格別に配線幅を大きくしたり、あるいはクロックドライバの駆動能力をAC試験のために格別に大きくしたりすることなく、上記連続パルスが最終段まで伝えられる程度の信号伝送品質さえ確保すれば、実動作と同じ条件でのAC試験を行うようにすることができる。

【0048】

図13には、この発明に係る半導体集積回路装置を構成するMOSFETの一実施例の概略素子断面図が示されている。この実施例のMOSFETは、ゲート電極に特徴を有する。すなわち、ゲート電極は、CVD法で膜厚70nm程度の多結晶シリコン膜（ポリSi）を堆積し、続いてその上部にスパッタリング法で膜厚5nm程度の窒化タングステン膜（WN）と膜厚80nm程度のタングステン膜（W）からなるメタルゲートとを堆積する。同図では、省略されているが、上記メタル（W）の上には、CVD法で形成された膜厚100nm程度の窒化シリコン膜が堆積される。

【0049】

上記ポリSiは、その抵抗値を下げるために、成膜中にP（リン）等の不純物がドーピングされる。上記WN膜は、ポリSiゲートとメタル（W）ゲートとの界面における両者の反応（シリサイド化反応）を防ぐバリア層として機能する。上記ポリSi膜とその上部に堆積したメタル（W）膜は、一体でMOSFETのゲート電極材料を構成する。すなわち、本実施のMOSFETは、ゲート電極の抵抗値を下げるために、ゲート電極材料をポリSi膜とメタル（W）膜との積層膜（ポリメタル膜）によって構成される。

【0050】

上記のようなMOSFETを用いた場合には、MOSFET間を接続する配線抵抗値を下げる上では有効である。しかしながら、ゲート電極の縦方向（ゲート電極の厚み方向）の寄生抵抗が比較的大きくなり、かかるMOSFETを用いて前記クロックバッファを構成した場合、出力信号の立ち上がり及び立ち下がりが遅くなる傾向にあることが本願発明者の研究によって明らかとされた。このため、かかるMOSFETで回路が構成された半導体集積回路装置において、本願発明を適用することにより、内部回路に対して信号経路での波形のフル振幅までの立ち上がり時間よりも短いパルス幅の任意のパルスを形成することができ、高速動作の論理回路のAC試験等を簡単に行うようにすることができる。

【0051】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、内部論理回路等に入力するパルスは、前記AC試験のためのパルスBとCのようなパルスの他に、動作に必要な細かいパルスB又はCを形成するものであってもよい。この場合には、外部端子から供給されるパルスは、2つのステップ信号であればよい。この発明は、内部回路に間欠的に1パルスを入力する信号経路を持つ各種半導体集積回路装置に広く利用することができる。

【0052】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単

に説明すれば、下記の通りである。第1信号経路と第2信号経路を通して外部から供給される第1信号と第2信号をそれぞれパルス発生回路に伝え、かかるパルス発生回路で形成すべきパルスのパルス幅に対して上記第1信号経路及び第2信号経路でのいずれか1つの増幅段でのフル振幅までの立ち上がり時間が長い関係のときに第1信号と第2信号との位相差を第1パルスのパルス幅に対応させることにより、細いパルスを精度よく形成することができる。

【図面の簡単な説明】

【図1】

この発明に係る半導体集積回路装置の一実施例を示す要部ブロック図である。

【図2】

この発明に係る半導体集積回路装置のクロック供給系回路の一実施例を示すブロック図である。

【図3】

この発明に係る半導体集積回路装置のクロック供給系回路の一実施例を示すブロック図である。

【図4】

この発明に係る最終段ドライバの動作を説明するための波形図である。

【図5】

この発明に係る半導体集積回路装置に用いられるLSSD型フリップフロップ回路の一実施例を示す回路図である。

【図6】

図5のLSSD型フリップフロップ回路の動作を説明するための真理値図である。

【図7】

この発明に係る半導体集積回路装置における論理段でのAC試験動作を説明するためのブロック図である。

【図8】

この発明に係る最終段ドライバとLSSD型フリップフロップ回路の動作を説明するための波形図である。

【図 9】

この発明を説明するためのクロック信号経路での波形図である。

【図 10】

この発明に係る論理混載メモリ集積回路の一実施例を示す基板配置図である。

【図 11】

図 10 の論理混載メモリ集積回路のゲートアレイ部と S R A M 部の一実施例を示すレイアウト図である。

【図 12】

図 11 のクロックバッファ C K 6 が受け持つ論理エリアの一実施例を示すレイアウト図である。

【図 13】

この発明に係る半導体集積回路装置を構成する M O S F E T の一実施例を示す概略素子断面図である。

【符号の説明】

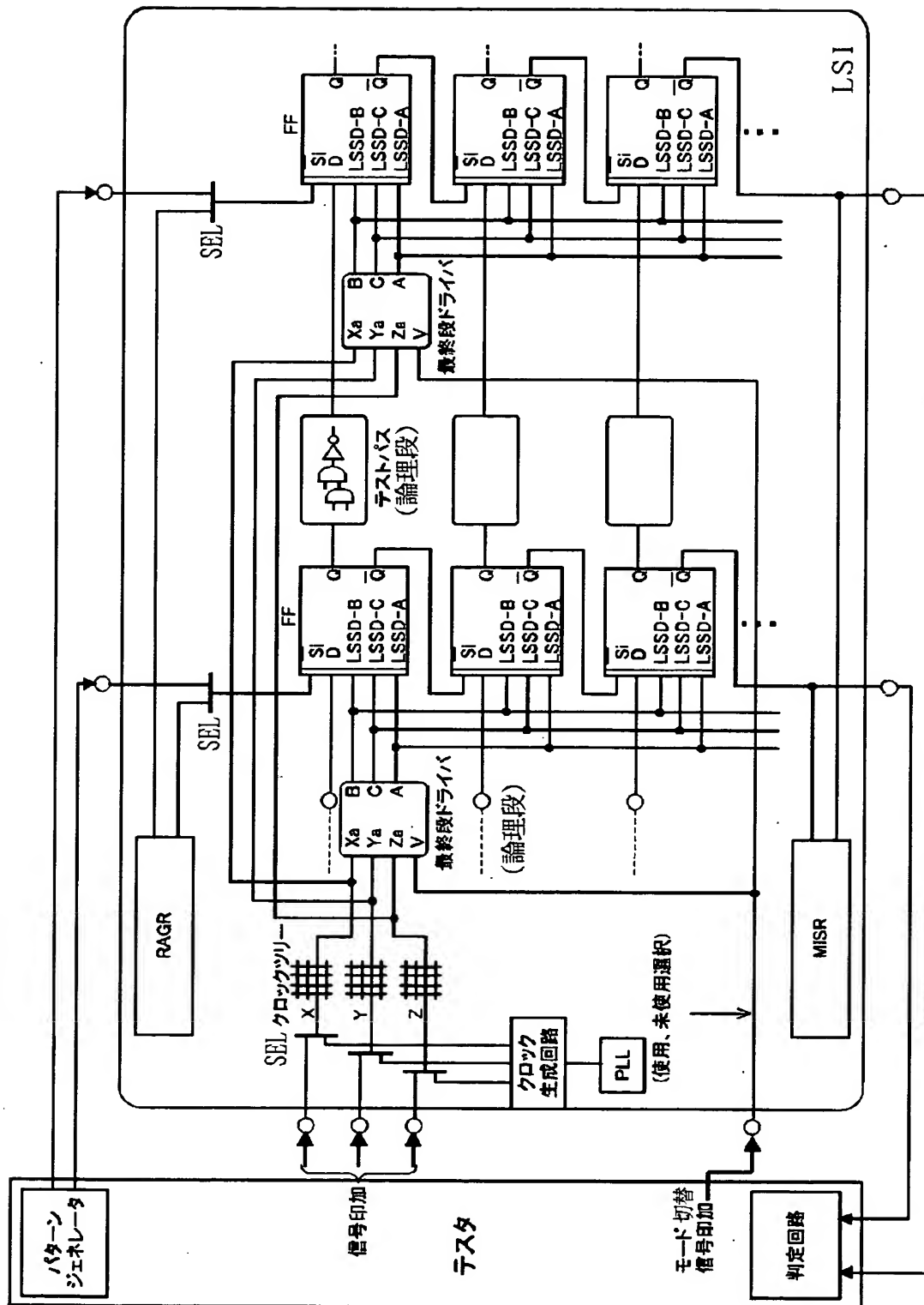
F F … L S S D 型フリップフロップ回路、S E L … セレクタ、M I S R … 符号圧縮器、P A G R … パターン発生器、G 1 ～ G 5 … ゲート回路、N 1 ～ N 7 … インバータ回路、C K A ～ C K 7 … クロックバッファ、

C H I P … 半導体基板（チップ）、D R A M 0 ～ D R A M 7 … D R A M マクロセル、S R A M 0 ～ S R A M 8 … S R A M マクロセル、L C … 論理部、I O C … 入出力セル。

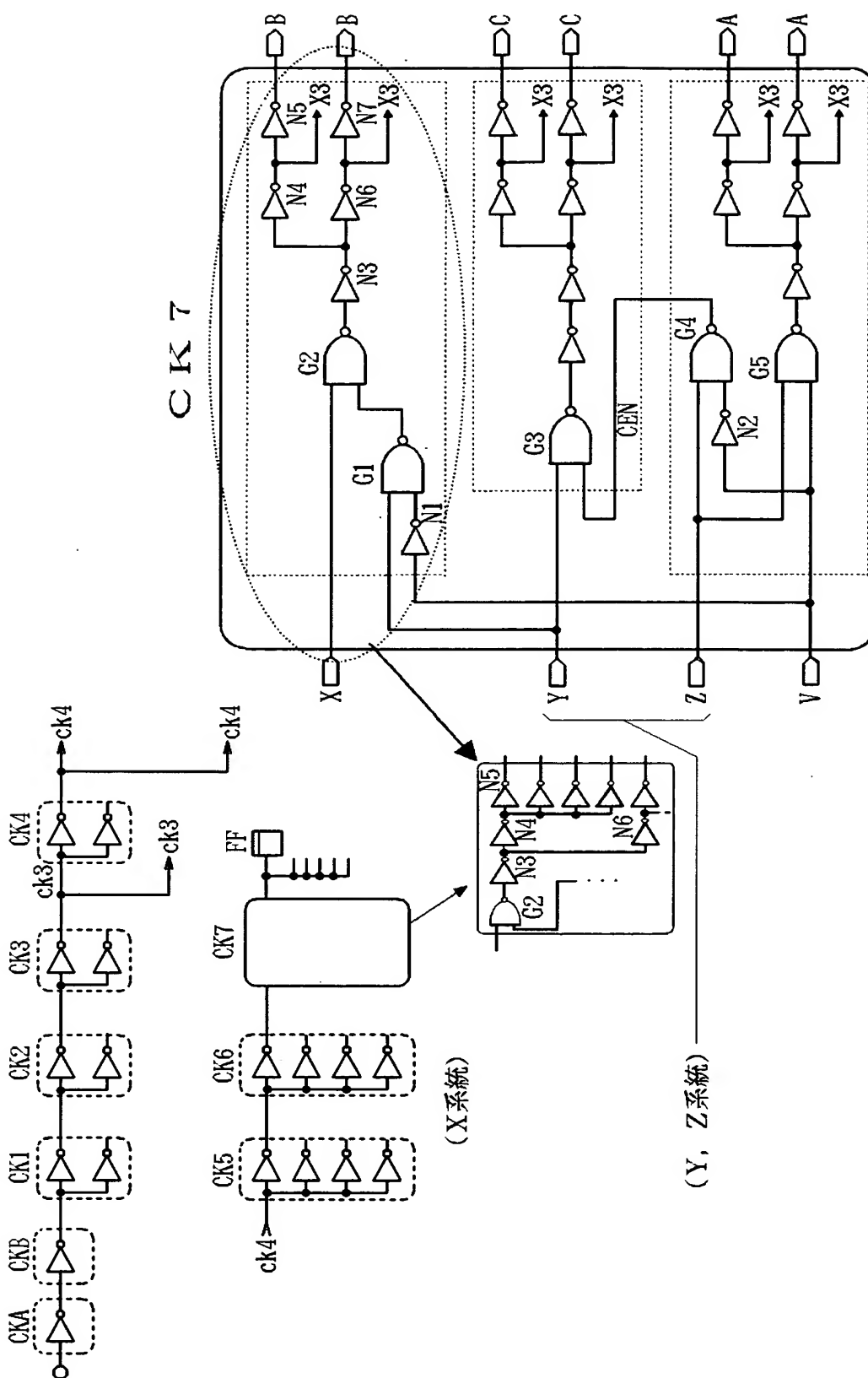
【書類名】

図面

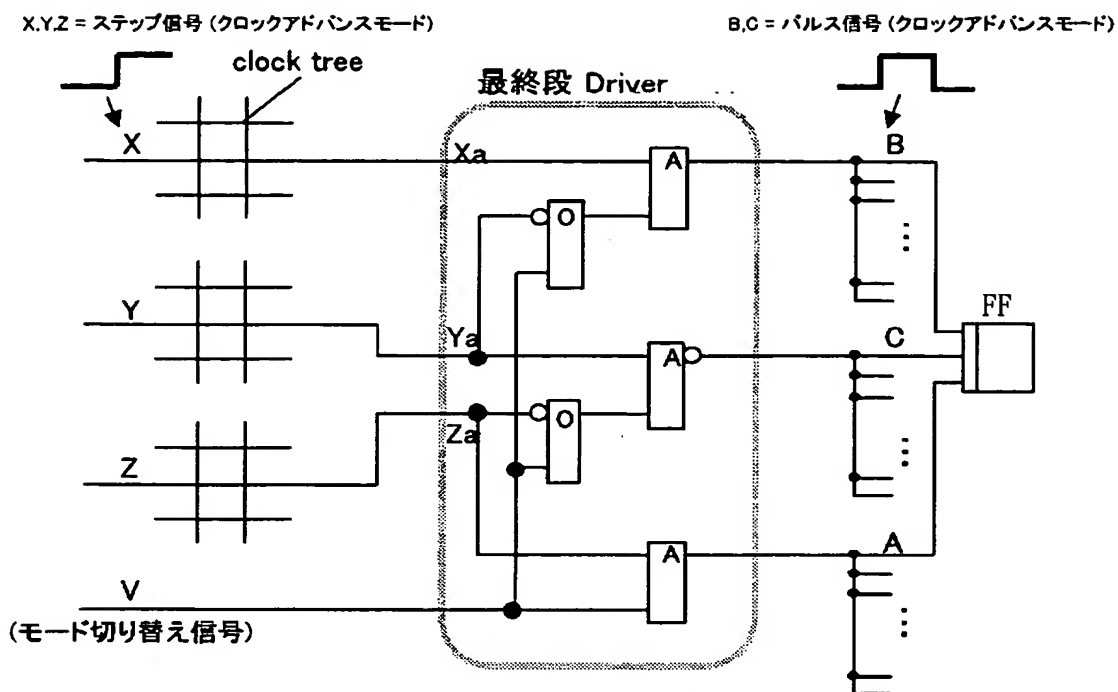
【図 1】



【図 2】

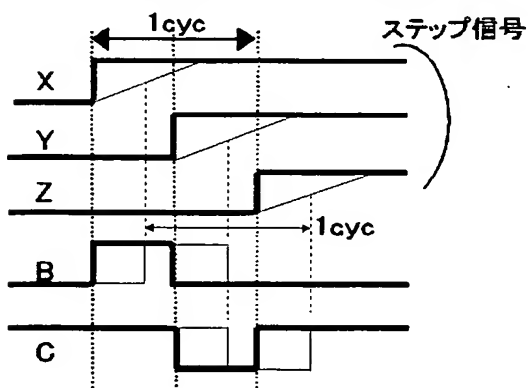


【図 3】

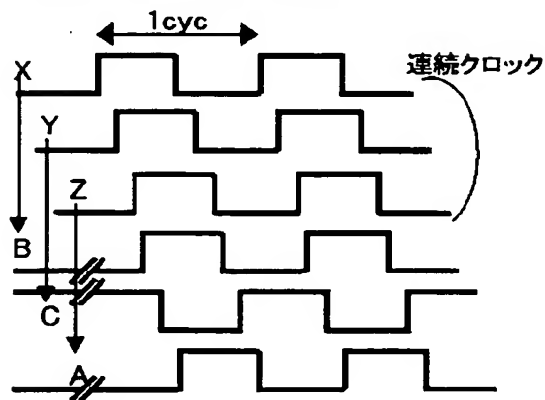


【図 4】

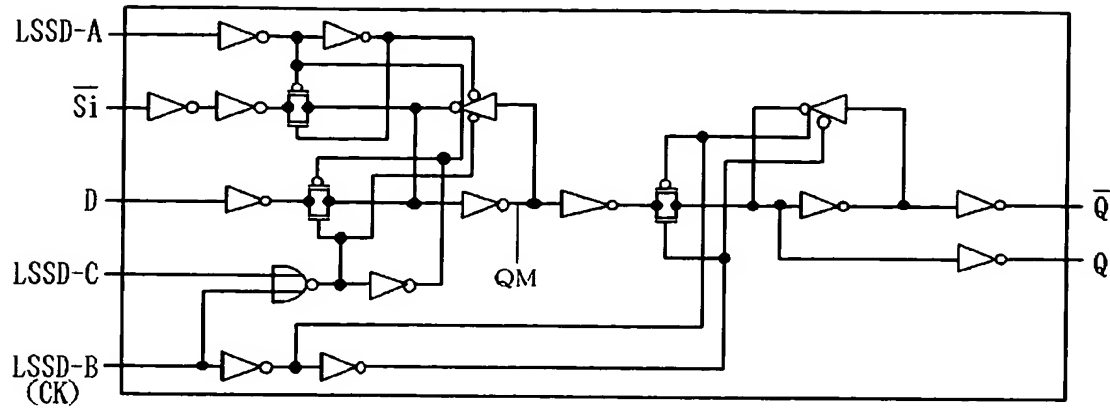
クロックアドバンスモード (V='L')の時



スルーモード (V='H')の時



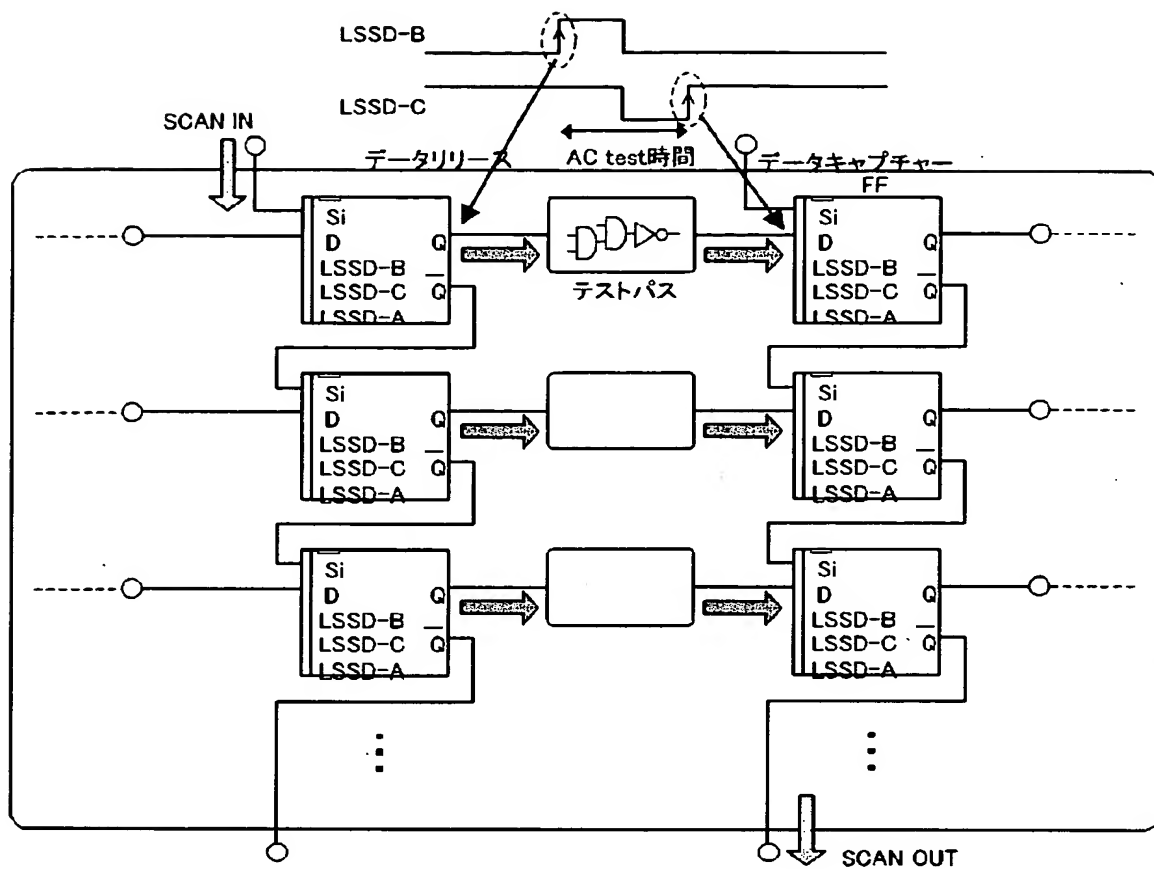
【図 5】



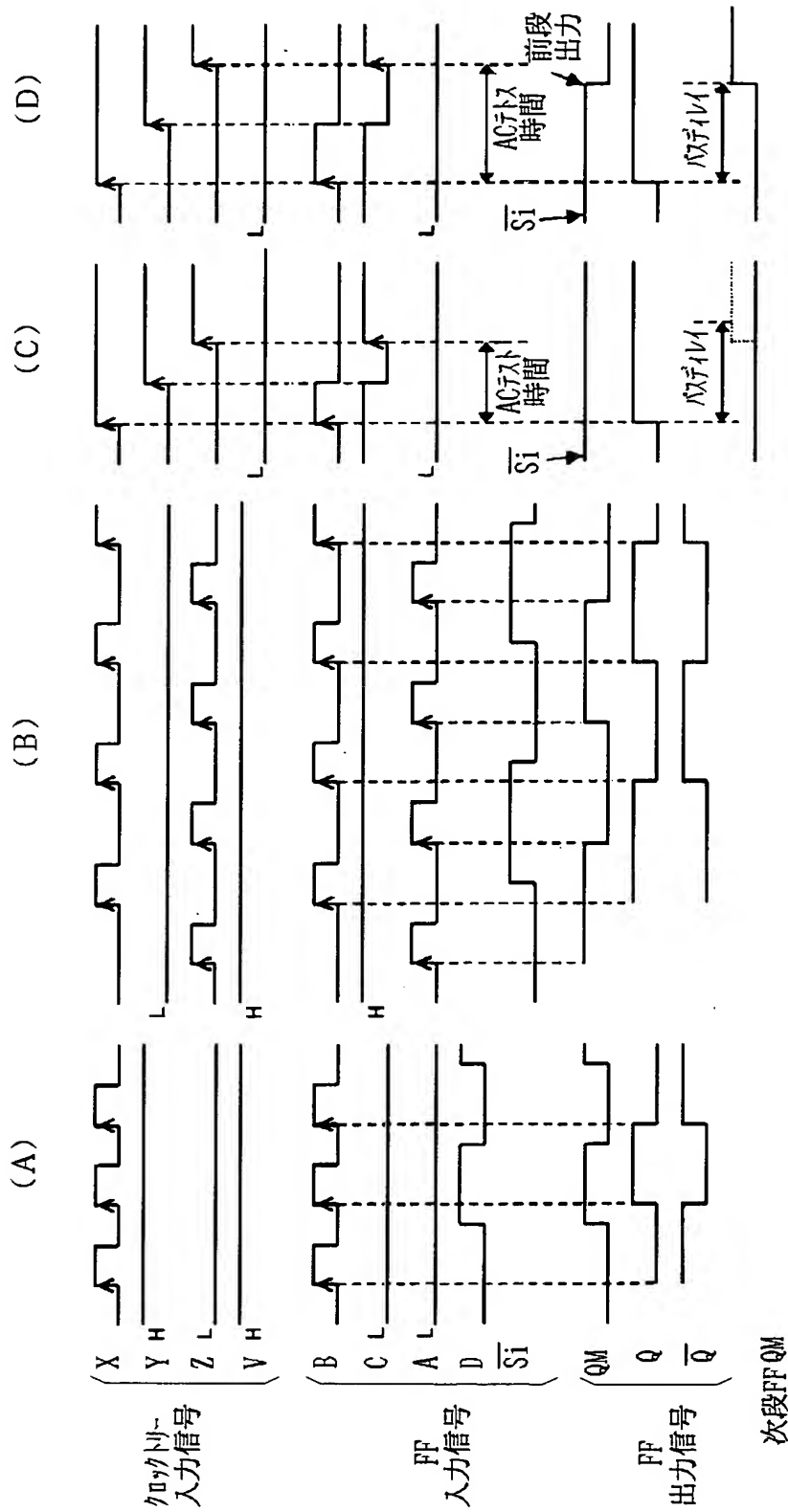
【図 6】

入力					中間ノード		出力		備考
CK	D	LSSD-A	LSSD-C	\overline{Si}	QM	QS	Q	\overline{Q}	
L	*	L	L	*	D	QS-1	QS	\overline{QS}	通常
H	*	L	L	*	QM-1	QM	QS	\overline{QS}	通常
	L	L	L	*	L	QM	L	H	通常
	H	L	L	*	H	QM	H	L	通常
L	*	L	H	*	QM-1	QS-1	QS	\overline{QS}	診断
H	*	L	H	*	QM-1	QM	QS	\overline{QS}	診断
L	*	H	H	L	H	QS-1	QS	\overline{QS}	診断
L	*	H	H	H	L	QS-1	QS	\overline{QS}	診断
*	*	H	L	*					禁止
H	*	H	H	*					禁止

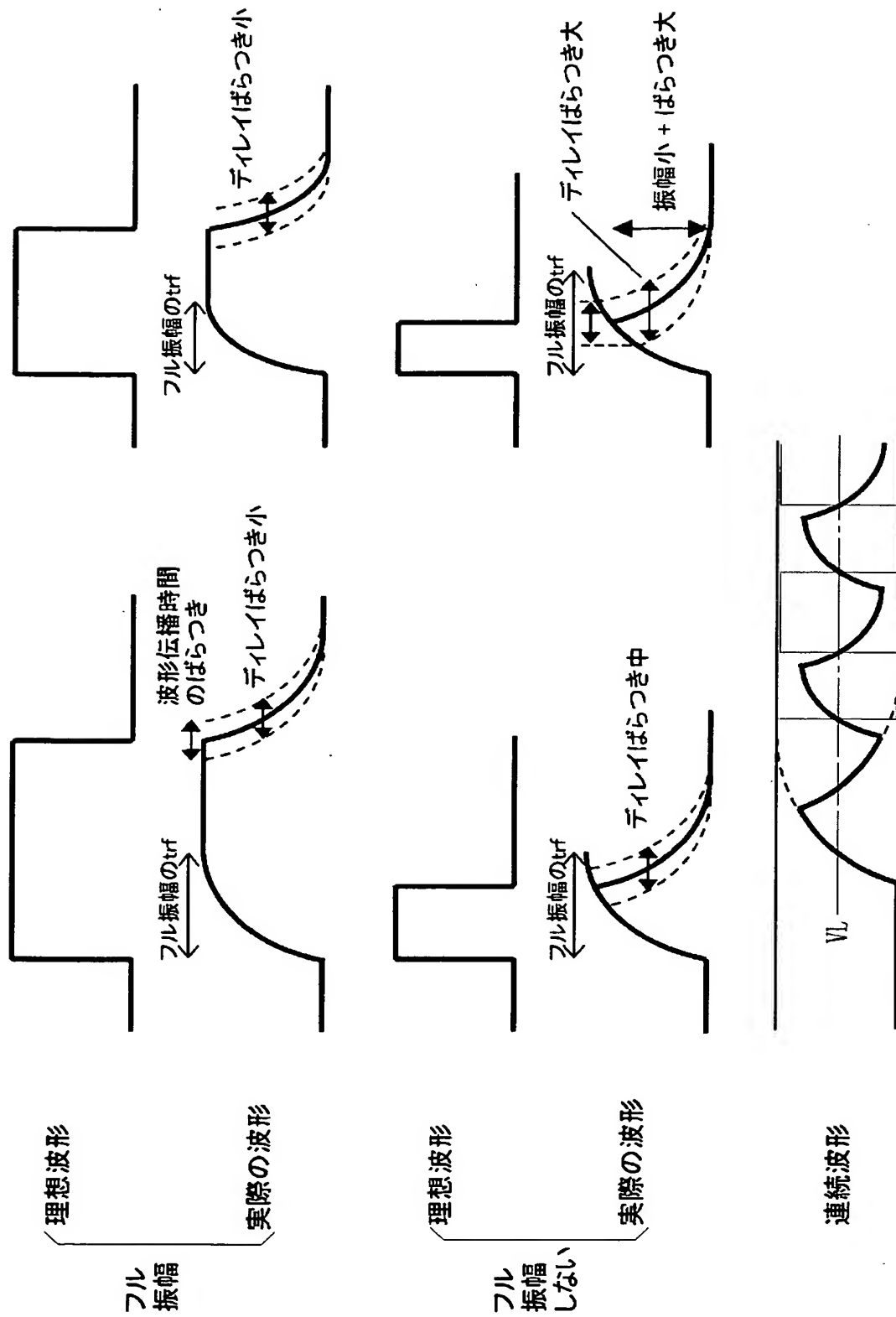
【図 7】



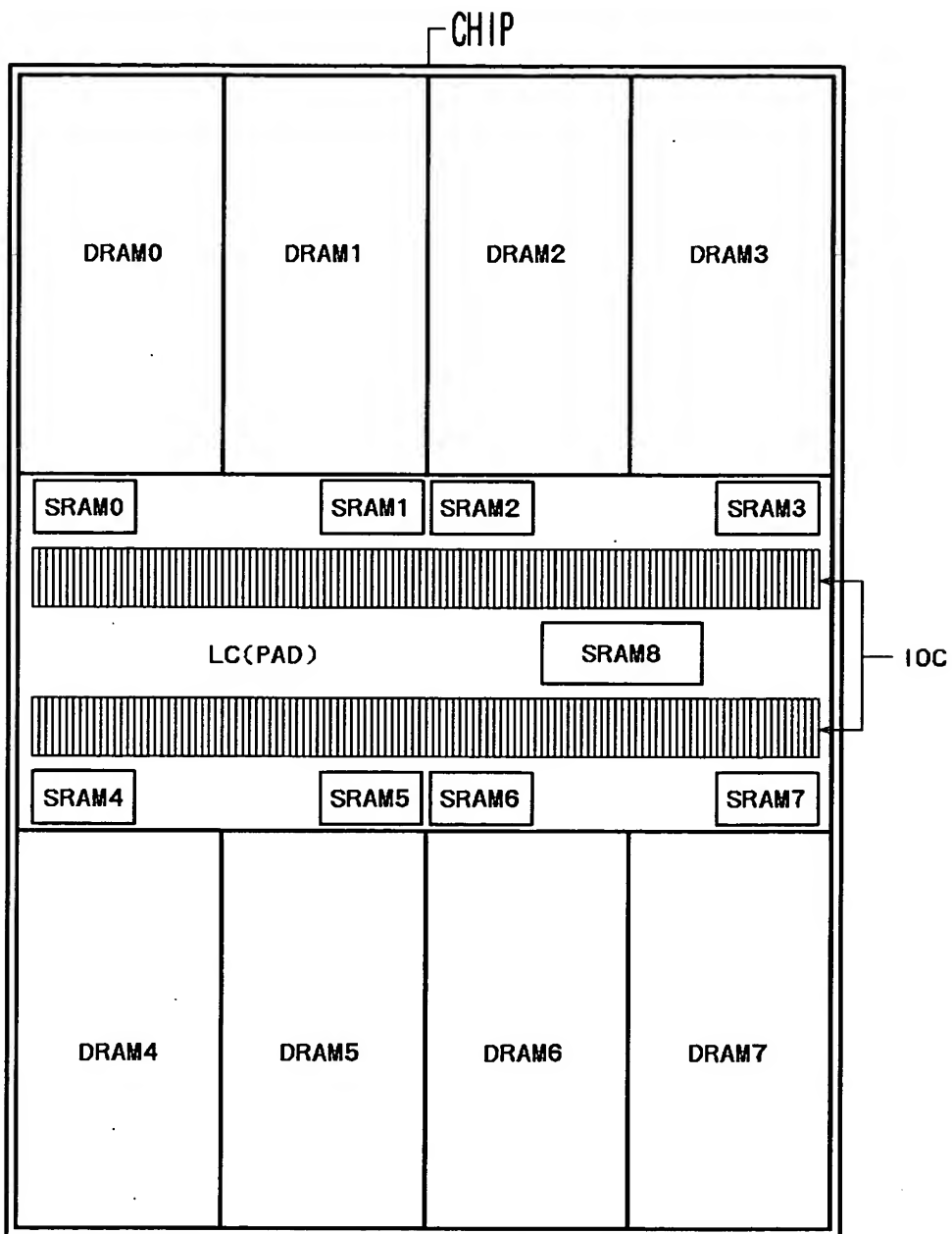
【図 8】



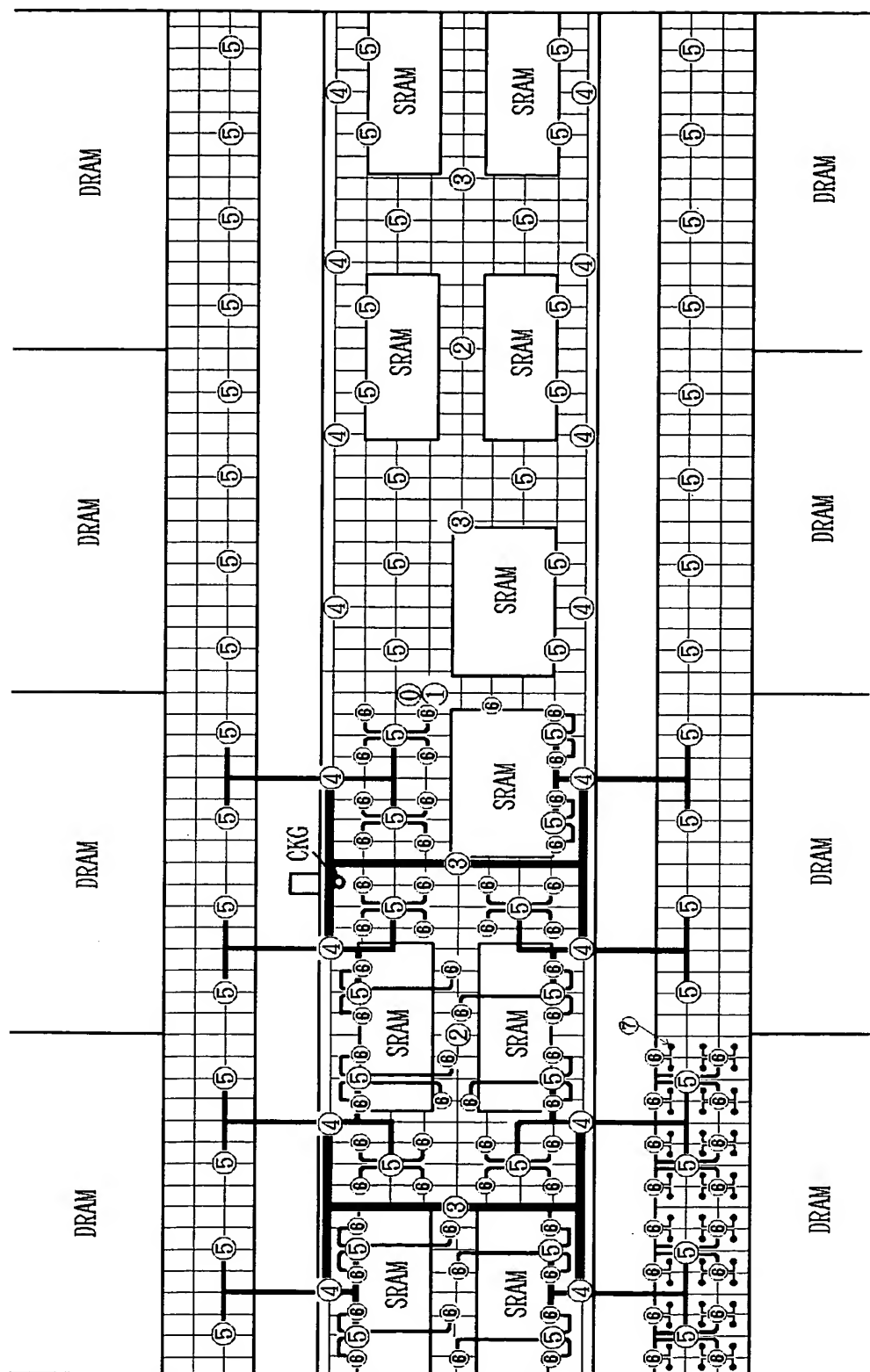
【図 9】



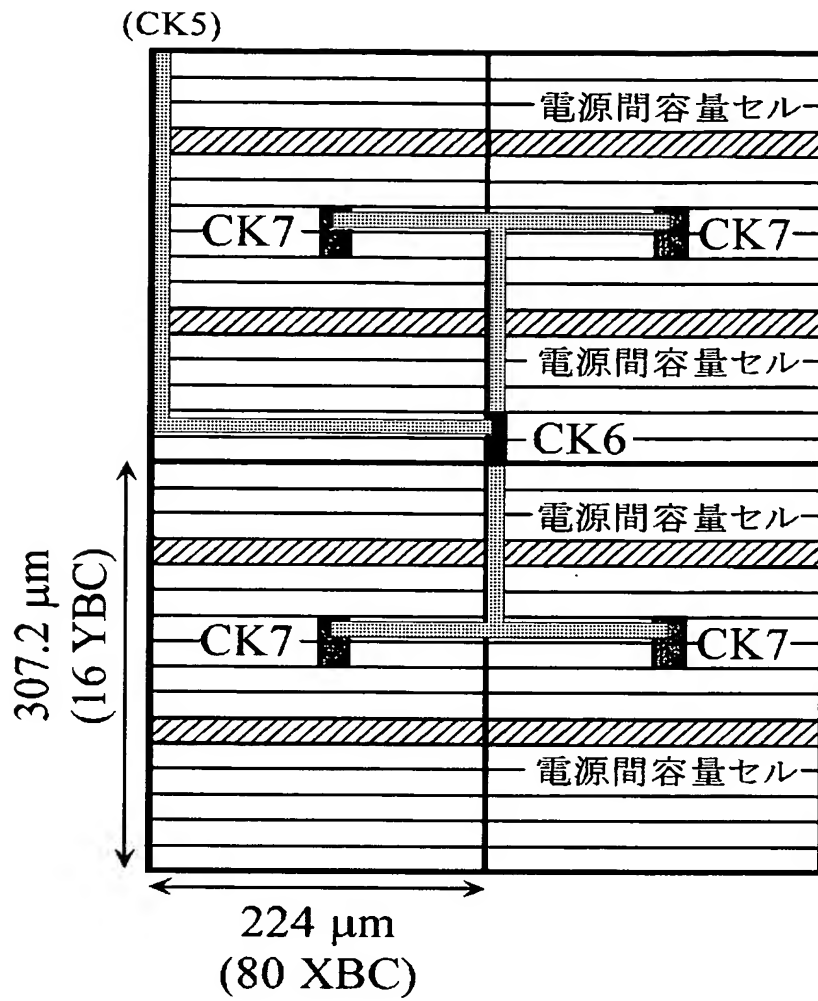
【図 10】



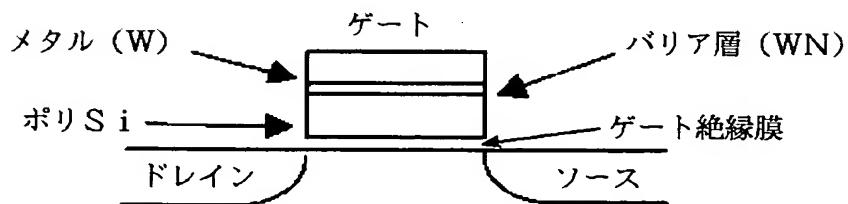
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 伝達信号のフル振幅までの立ち上がり時間よりも短いパルス幅のパルスの発生するパルス発生回路を備えた半導体集積回路装置を提供する。

【解決手段】 第1信号経路と第2信号経路を通して外部から供給される第1信号と第2信号をそれぞれパルス発生回路に伝え、かかるパルス発生回路で形成すべきパルスのパルス幅に対して上記第1信号経路及び第2信号経路でのいずれか1つの増幅段でのフル振幅までの立ち上がり時間が長い関係のときに第1信号と第2信号との位相差を第1パルスのパルス幅に対応させる。

【選択図】 図1

特願 2 0 0 2 - 3 6 7 4 6 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所